

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-159118

(43)Date of publication of application : 19.06.1990

(51)Int.Cl.

H03K 19/0175
H03K 17/08
H03K 19/0185

(21)Application number : 63-314124

(71)Applicant : NEC IC MICROCOMPUT SYST LTD

(22)Date of filing : 12.12.1988

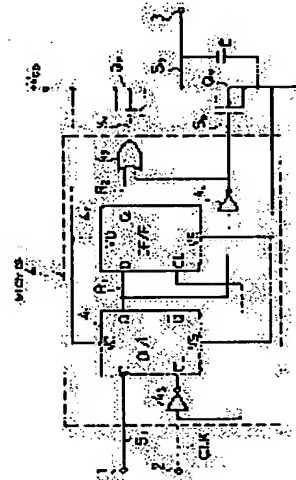
(72)Inventor : IWATA HIROMITSU
MORI KAZUHIRO

(54) OUTPUT CIRCUIT

(57)Abstract

PURPOSE: To avoid the deterioration of a 1st transistor TR even though an output terminal is short-circuited by activating the TR for a period of a single clock pulse and charging a capacitor when the logical level of the output terminal is turned to that of a power supply.

CONSTITUTION: A control part 4 includes the D type flip-flops DF/F 41 and 42, the inverters 43 and 42, and an OR circuit 45. An input signal S1 is changed to 'H' from 'L' and a clock pulse CLK is also changed to 'H' from 'L'. Thus the output of the inverter 43 is changed to 'L' from 'H', and the output R1 of the DF/F 41 is changed to 'H' from 'L' synchronously with the down-edge of the output of the inverter 43. The DF/F 42 fetches the output R1 synchronously with the down-edge of the output R1 and the output R2 goes to 'H'. Then a TRQP and a TRQN are turned on and off respectively and therefore a capacitor C is charged by a power supply +VDD with an output signal S3 set at 'H' respectively. Then the TRQP is turned off and the capacitor C keeps the signal S3 at 'H'.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑫ 公開特許公報(A) 平2-159118

⑬ Int. Cl.³H 03 K 19/0175
17/08
19/0185

識別記号

C

庁内整理番号

8124-5 J

⑭ 公開 平成2年(1990)6月19日

8326-5 J
8326-5 J

H 03 K 19/00

1 0 1 J

D

審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 出力回路

⑯ 特 願 昭63-314124

⑰ 出 願 昭63(1988)12月12日

⑱ 発 明 者 岩 田 浩 充 東京都港区芝5丁目7番15号 日本電気アイシーマイコンシステム株式会社内

⑲ 発 明 者 森 数 洋 東京都港区芝5丁目7番15号 日本電気アイシーマイコンシステム株式会社内

⑳ 出 願 人 日本電気アイシーマイコンシステム株式会社 東京都港区芝5丁目7番15号

㉑ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

出力回路

2. 特許請求の範囲

1. チャンネルの一端が電源に、チャンネルの他端が出力端子にそれぞれ接続されていた第1のトランジスタと、

チャンネルの一端が出力端子に、チャンネルの他端がアースにそれぞれ接続された第2のトランジスタと、

一端が出力端子に、他端がアースにそれぞれ接続されたコンデンサと、

入力信号の論理レベルをクロックパルスに同期して検出し、入力信号が第1の論理レベルから第2の論理レベルになったときは、第1のトランジスタを1クロックパルス間アクティブに、第2のトランジスタをインアクティブにさせ、入力信号が第2の論理レベルから第1の論理レベルになったときは、第1のトランジスタをインアクティブに、第2のトランジスタをアクティブにさせる論

理制御部とを有する出力回路。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は出力段がCMOS型になっている出力回路に関する。

(従来の技術)

第4図はこの種の出力回路の従来例を示す構成図、第5図は第4図の従来例の動作を示すタイムチャートである。

制御部14はクロック端子2のクロックパルスCLKに同期して、入力端子1の入力信号S₁の論理レベルを検出し、その結果を出力信号S₂として出力する。出力段はP型MOSトランジスタQ_P(以降トランジスタQ_Pと記す)とN型MOSトランジスタQ_N(以降トランジスタQ_Nと記す)とからなるCMOSインバータであって、制御部14の出力信号S₂の論理レベルを反転して出力信号S₃として出力端子3に出力する。

次に第4図の従来例の動作について第5図を参照して説明する。

時刻 t_1 に入力信号 S_1 が論理レベルロウ（以降“L”と記す）から論理レベルハイ（以降“H”と記す）に変化する。制御部14はクロックパルスCLKのダウンエッジに同期して入力信号 S_1 をとり込むので、時刻 t_2 に出力信号 S_2 を“H”から“L”にする。出力信号 S_2 が“L”になるとトランジスタ Q_P がオン、トランジスタ Q_N がオフとなり、電圧 $+V_{DD}$ より電流が供給され、出力信号 S_3 は“H”となる。時刻 t_3 に入力信号 S_1 が“H”から“L”になると、制御回路14はクロックパルスCLKのダウンエッジに同期して、時刻 t_4 に出力信号 S_2 を“L”から“H”にする。したがって時刻 t_4 にトランジスタ Q_P はオフ、トランジスタ Q_N はオンとなり、出力信号 S_3 は“L”となる。つまり、入力信号 S_1 の論理レベルの変化は、変化後のクロックパルスCLKのダウンエッジに同期して出力端子3に出力される。

（発明が解決しようとする課題）

上述した従来の出力回路は、入力信号 S_1 が

“H”の場合、出力端子3の出力信号 S_3 は“H”であり、トランジスタ Q_N がオフでトランジスタ Q_P がオンの状態を続ける。この際、出力端子3が短絡ないし短絡に近い状態にされるとトランジスタ Q_P に電圧 $+V_{DD}$ から大電流が流れつづけ、消費電力が増大してトランジスタ Q_P が劣化してしまうという欠点がある。

（課題を解決するための手段）

本発明の出力回路は、

チャネルの一端が電圧に、チャネルの他端が出力端子にそれぞれ接続された第1のトランジスタと、

チャネルの一端が出力端子に、チャネルの他端がアースにそれぞれ接続された第2のトランジスタと、

一端が出力端子に、他端がアースにそれぞれ接続されたコンデンサと、

入力信号の論理レベルをクロックパルスに同期して検出し、入力信号が第1の論理レベルから第2の論理レベルになったときは、第1のトランジ

スタを1クロックパルス間アクティブに、第2のトランジスタをインアクティブにさせ、入力信号が第2の論理レベルから第1の論理レベルになったときは、第1のトランジスタをインアクティブに、第2のトランジスタをアクティブにさせる論理制御部とを有する。

（作用）

出力端子の論理レベルを電圧側の論理レベルにさせる場合には、第2のトランジスタをインアクティブに、第1のトランジスタを1クロックパルス間のみアクティブにしてコンデンサをチャージ、アース側の論理レベルにさせる場合には、第1のトランジスタをインアクティブに、第2のトランジスタをアクティブにしてコンデンサをディスチャージさせる。

（実施例）

次に、本発明の実施例について図面を参照して説明する。

第1図は本発明の出力回路の一実施例を示す構成図、第2図は第1図の実施例をより具体的に実

現したものを示す構成図、第3図は第1図の実施例の動作を示すタイムチャートである。

本実施例は第4図の従来の出力端子3とアース間にコンデンサCを接続し、トランジスタ Q_P 、 Q_N のゲートに別個の制御信号 S_a 、 S_b を印加する制御回路4を用いたものである。

制御部4は入力信号 S_1 が“L”から“H”になると、“H”になった後の最初のクロックパルスCLKに同期して、制御信号 S_a を1クロックパルスCLKの間“L”に、制御信号 S_b を“L”にする。この1クロックパルスCLK間にコンデンサCは電圧 $+V_{DD}$ によりチャージされ、出力信号 S_3 を“H”に保つ。また、入力信号 S_1 が“H”から“L”になると、“L”になった後の最初のクロックパルスCLKに同期して制御信号 S_a 、 S_b をそれぞれ“H”にする。そこで、トランジスタ Q_P 、 Q_N はそれぞれオン、オフとなり、コンデンサCはディスチャージされ、出力信号 S_3 は“L”となる。

具体例の制御部について第2図を参照して説明

する。

制御部は、D型フリップフロップ41、42（以降DF/F 41、42と記す）と、インバータ43、42と、オア回路45とからなっている。

インバータ43は入力端がクロック端子2に接続されている。DF/F 41は、入力端Dが入力端子1に、クロック端CLがインバータ42の出力端に、電源端VDが電源+V_{DD}に、電源端VSがアースにそれぞれ接続されている。DF/F 42は、入力端DがDF/F 41の非反転出力端Qに、クロック端CLがクロック端子2に、電源端VDが電源+V_{DD}に、電源端VSがアースにそれぞれ接続されている。インバータ44は、入力端がDF/F 41の非反転出力端Qに、出力端がトランジスタQ_Nのゲートにそれぞれ接続され、制御信号S_bを出力する。オア回路45は、DF/F 42と非反転出力端Qの出力とインバータ44の出力とのオアをとり、結果を制御信号S_aとしてトランジスタQ_Pのゲートに出力する。

次に具体例の動作について第3図を参照して説

明する。

時刻t₁に入力信号S₁が“L”から“H”になる。時刻t₂にクロックパルスCLKは“L”から“H”になるので、インバータ43の出力は“H”から“L”になり、このダウンエッジに同期してDF/F 41の出力R₁は“L”から“H”になる。したがって、インバータ44の出力である制御信号S_bは“L”となる。時刻t₃にクロックパルスCLKは立下るので、DF/F 42はこのダウンエッジに同期して出力R₁をとり込み、出力R₂を“H”とする。時刻t₂、t₃において、出力R₂と制御信号S_bは“L”なので、オア回路45の出力である制御信号S_aは“L”となる。時刻t₂、t₃の間、トランジスタQ_Pはオン、トランジスタQ_Nはオフとなるので、コンデンサCは電源+V_{DD}によりチャージされ、出力信号S₃は“H”にされる。時刻t₃から時刻t₄では、制御信号S_a、S_bはそれぞれ“H”、“L”に保たれているので、トランジスタQ_P、Q_Nはともにオフであり、コンデンサCは出力信

号S₃を“H”に保つ。時刻t₄に入力信号S₂が“L”になり、時刻t₅にクロックパルスCLKは立上り、インバータ43の出力は立下るので、出力R₁は“H”から“L”になり、制御信号S_bは“H”になる。時刻t₅にクロックパルスCLKが立下るのでDF/F 42は出力R₁をとり込み出力R₂を“H”から“L”にする。時刻t₅、t₆の間出力R₂と制御信号S_bとがともに“L”になることがないので、制御信号S_aは“H”のままである。

したがって、時刻t₅、t₆の間では、トランジスタQ_P、Q_Nはそれぞれオフ、オンであり、コンデンサCの電荷はディスチャージされ、出力信号S₃は“L”となる。時刻t₆より時刻t₇までは制御信号S_a、S_bの論理レベルは変わらないので出力信号S₃も“L”のままである。時刻t₇からの変化は時刻t₂からの変化と同様である。

本具体例ではD型フリップフロップはエッジトリガタイプのもを使用したがレベルで動作する

ものでもよいし、制御信号S_bはインバータ44を使用せずDF/F 41の反転出力端Qの出力を用いてもよい。また、トランジスタQ_Pが及びN型の場合は制御信号S_aの論理を反転して用いればよいことも明らかである。又電圧が負極性の場合でも論理を反転して考えれば同様に実現できることは容易に分らう。

（発明の効果）

以上説明したように本発明は、出力端子の論理レベルを電源側の論理レベルにするのに、1クロックパルス間で第1のトランジスタをアクティブにしてコンデンサをチャージさせることにより、出力端子が短絡状態になっても第1のトランジスタに電源から電流が流れ続けることはなく、第1のトランジスタを劣化させない効果がある。

4. 図面の簡単な説明

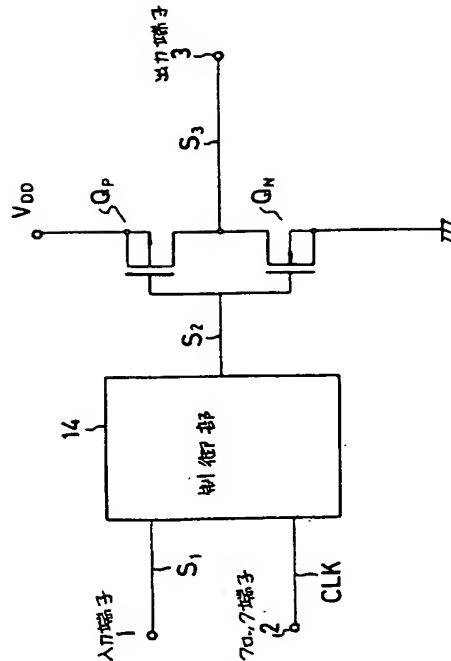
第1図は本発明の出力回路一実施例を示す構成図、第2図は第1図の実施例をより具体的に実現したものを示す構成図、第3図は第1図の実施例の動作を示すタイムチャート、第4図はこの種の

出力回路の従来例を示す図成図、第5図は第4図の従来例の動作を示すタイムチャートである。

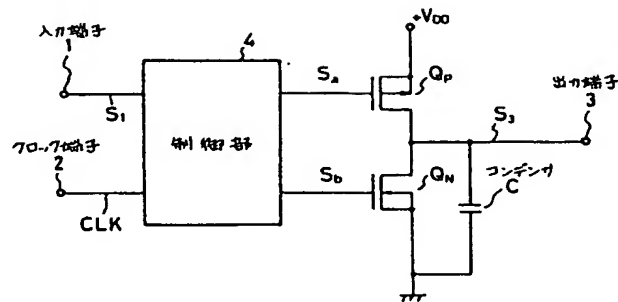
- 1…入力端子、 2…クロック端子、
3…出力端子、 4…制御部、
4₁、4₂…D F/F、
4₃、4₄…インバータ、
4₅…オア回路、
Q_P…P型MOSトランジスタ、
Q_N…N型MOSトランジスタ、
C…コンデンサ。

特許出願人 日本電気アイシーマイコンシステム株式会社

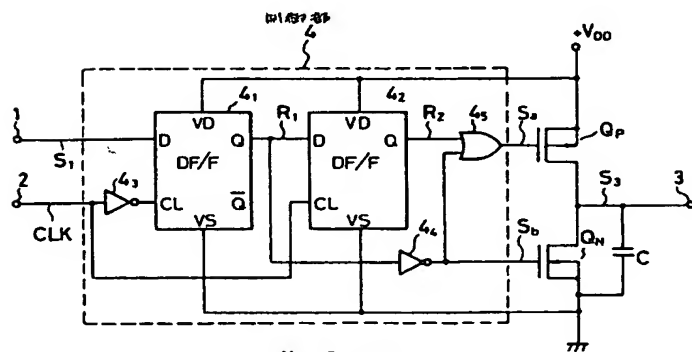
代理人 弁理士 内 原 啓



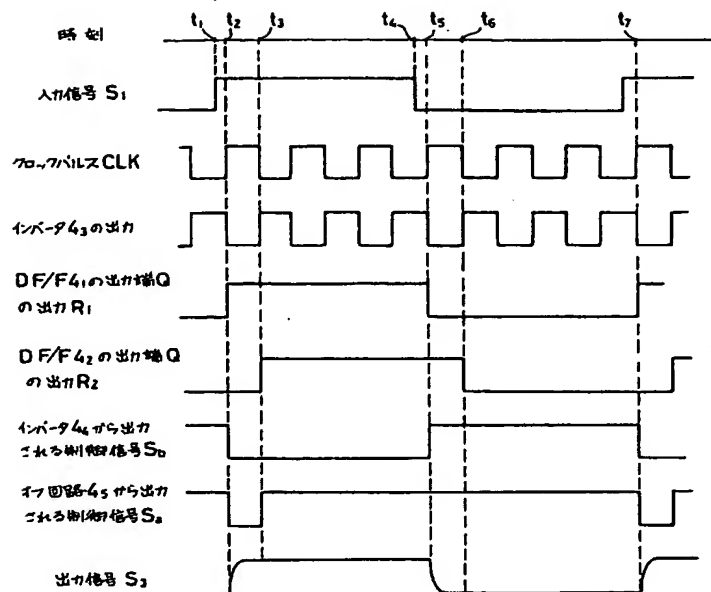
第4図



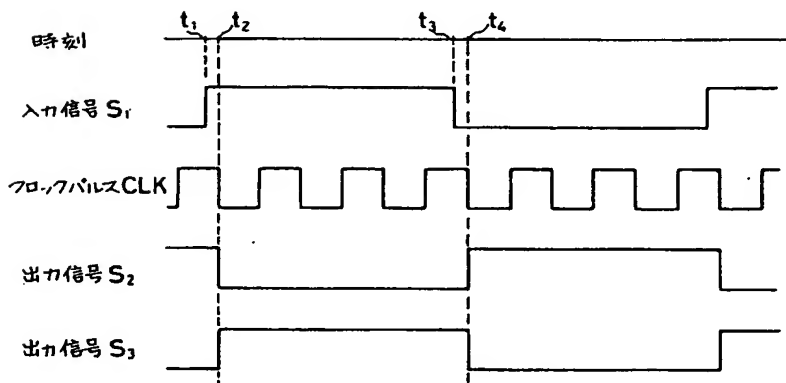
第1図



第2図



第 3 図



第 5 図